



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0014406
Application Number

출 원 년 월 일 : 2003년 03월 07일
Date of Application MAR 07, 2003

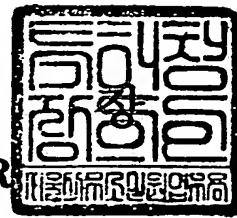
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 19 일

특 허 청

COMMISSIONER





1020030014406

출력 일자: 2003/3/24

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.07
【발명의 명칭】	반도체 장치의 금속 실리사이드 층의 형성 방법
【발명의 영문명칭】	METHOD FOR FORMING A METAL SILICIDE LAYER IN A SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이응준
【성명의 영문표기】	LEE, Eung Joon
【주민등록번호】	700402-1030639
【우편번호】	442-809
【주소】	경기도 수원시 팔달구 영통동 955-1 황골마을 주공1단지 122동 2002 호
【국적】	KR
【발명자】	
【성명의 국문표기】	박인선
【성명의 영문표기】	PARK, In Sun
【주민등록번호】	610515-1551717
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차 아파트 519-206
【국적】	KR
【발명자】	
【성명의 국문표기】	노관종
【성명의 영문표기】	ROH, Kwan Jong
【주민등록번호】	731001-1453317



1020030014406

출력 일자: 2003/3/24

【우편번호】	430-818		
【주소】	경기도 안양시 만안구 만양8동 39-28 101호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 박영우 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	19	면	19,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	18	항	685,000 원
【합계】	733,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		



【요약서】

【요약】

게이트 구조물의 변형을 최소화하고 열적 안정성을 개선할 수 있는 반도체 장치의 금속 실리사이드 층의 형성 방법이 개시된다. 기판의 제1 및 제2 영역에 각기 제1 및 제2 게이트 전극과 제1 및 제2 스페이서를 포함하는 제1 및 제2 게이트 구조물을 형성한 후, 제1 및 제2 스페이서를 서로 상이한 두께로 제거한다. 제1 및 제2 게이트 전극을 포함하는 제1 및 제2 영역 상에 금속 실리사이드 층을 형성하며, 제2 게이트 전극에 형성된 금속 실리사이드 층을 제1 게이트 전극에 형성된 금속 실리사이드 층보다 더 두껍게 형성한다. 금속 실리사이드의 특성에 따라 N형 및 P형 MOS 트랜지스터의 게이트 구조물 스페이서 리세스 양을 차별화 함으로써, 게이트 구조물의 변형을 최소화하고 게이트 전극의 전기적 특성 및 열적 안정성을 개선할 수 있다.

【대표도】

도 4



1020030014406

출력 일자: 2003/3/24

【명세서】

【발명의 명칭】

반도체 장치의 금속 실리사이드 층의 형성 방법{METHOD FOR FORMING A METAL SILICIDE LAYER IN A SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1e는 종래의 코발트 실리사이드 층을 형성하는 방법을 설명하기 위한 단면도들이다.

도 2는 종래의 코발트 실리사이드 층을 형성하는 방법을 설명하기 위한 순서도이다.

도 3a 내지 도 3f는 본 발명의 제1 실시예에 따른 금속 실리사이드 층을 형성하는 방법을 설명하기 위한 단면도들이다.

도 4는 본 발명의 제1 실시예에 따른 금속 실리사이드 층을 형성하는 방법을 설명하기 위한 순서도이다.

도 5a 내지 도 5g는 본 발명의 제2 실시예에 따른 금속 실리사이드 층을 형성하는 방법을 설명하기 위한 단면도들이다.

도 6은 본 발명의 제2 실시예에 따른 금속 실리사이드 층을 형성하는 방법을 설명하기 위한 순서도이다.

<도면의 주요 부분에 대한 부호의 설명>

210, 310 : 반도체 기판 215, 315 : 소자 분리막

220, 320 : 제1 게이트 구조물 225, 325 : 제2 게이트 구조물

230, 330 : 제1 게이트 전극 232, 332 : 제1 불순물 영역

240, 340 : 제2 게이트 전극 242, 342 : 제2 불순물 영역

250, 350 : 제1 스페이서 260, 360 : 제2 스페이서

252, 352 : 제1 버퍼층 262, 362 : 제2 버퍼층

270, 370 : 코발트 층 280, 380 : 코발트 실리사이드 층

290, 390 : 제1 트랜지스터 295, 395 : 제2 트랜지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 장치의 금속 실리사이드 층의 형성 방법에 관한 것으로서, 보다 자세하게는 N형 및 P형 MOS(Metal Oxide Semiconductor) 트랜지스터를 포함하는 반도체 장치에 개선된 금속 실리사이드 층을 형성할 수 있는 반도체 장치의 금속 실리사이드 층의 형성 방법에 관한 것이다.

<17> 일반적으로, 빠른 처리 속도를 요구하는 반도체 장치에 있어서 저저항의 활성 영역(active region) 및 저저항의 게이트를 형성하기 위해서 금속 실리사이드 층이 형성된다. 반도체 장치의 금속 실리사이드 층은 활성 영역의 접촉 저항을 낮추는 역할을 하며, 주로 티타늄 실리사이드($TiSi_2$), 백금 실리사이드($PtSi_2$), 납 실리사이드($PbSi_2$), 코발트 실리사이드($CoSi_2$) 또는 니켈 실리사이드($NiSi_2$)와 같은 금속과 실리콘의 화합물로 이루어진다.



<18> 반도체 장치의 디자인 룰(design rule)이 감소함에 따라 반도체 장치에서 있어서 금속 실리사이드 층의 형성은 필수적이 되어 가고 있지만, 디자인 룰이 감소할수록 금속 실리사이드를 형성하기 위한 마진의 확보가 쉽지 않기 때문에 반도체 장치에 금속 실리사이드 층을 형성하는 공정이 어려워지고 있다. 예를 들면, 임계 치수(Critical Dimension: CD)가 약 90nm 이하인 초집적 반도체 장치에서 코발트 실리사이드(Co silicide) 층을 형성하는 경우, 코발트 실리사이드를 형성하기 위한 마진(margin)이 극소화되어 게이트 전극(gate electrode) 및 소오스/드레인 영역 상에 코발트 실리사이드 층을 안정적으로 형성하기 어렵다.

<19> 이러한 어려움을 극복하기 위하여, 게이트 구조물(gate structure) 상에 형성되는 금속 실리사이드 층의 면적을 확장할 필요가 있다. 이를 위해 게이트 전극의 상면을 오목하게 식각하여 금속 실리사이드가 형성되는 면적을 증가시키는 방법이 개시되어 있으며, 한편으로는 게이트 구조물에 스페이서 리세스(spacer recess)공정을 통하여 금속 실리사이드가 형성될 수 있는 게이트 전극의 노출 부분을 증가시키는 방법이 개시되어 있다. 여기서, 스페이서 리세스 공정이란 게이트 구조물의 양측에 배치된 스페이서의 상부를 부분적으로 제거하여 폴리실리콘으로 구성된 게이트 전극의 상부를 부분적으로 노출시키는 공정을 말한다. 이러한 리세스 공정을 통해 금속 실리사이드가 형성되는 면적이 증가한다.

<20> 도 1a 내지 도 1e는 종래의 코발트 실리사이드 층의 형성 방법을 설명하기 위한 단면도들을 도시한 것이며, 도 2는 종래의 코발트 실리사이드 층을 형성하는 방법을 설명하기 위한 순서도를 도시한 것이다.



<21> 도 1a 내지 도 1e에 있어서, N형 MOS 게이트 구조물과 P형 MOS 게이트 구조물이 형성되며, 게이트 전극 및 소오스/드레인 영역에 코발트 실리사이드(CoSi_2) 층을 형성하는 과정이 도시된다.

<22> 도 1a 및 도 2를 참조하면, 반도체 기판(110) 상에 STI(Shallow Trench Isolation) 공정으로 소자 분리막(115)이 형성되어 N형 MOS 구조의 제1 영역 및 P형 MOS 구조의 제2 영역이 정의된다. 상기 반도체 기판(110)의 제1 영역 및 제2 영역에는 각기 나노급 N형 및 P형 게이트 구조물이 형성된다.

<23> 이어서, 상기 제1 및 제2 영역 상에 각기 제1 및 제2 게이트 산화막(112, 122)과 N형 및 P형 MOS 트랜지스터의 게이트 전극(130, 140)을 형성한 다음, N형 및 P형 게이트 전극(130, 140)의 측벽에 중온 산화물(MTO)로 이루어진 산화막(152, 162)을 각기 형성한다(S 11).

<24> 계속하여, N형 및 P형 게이트 전극(130, 140) 상에 금속 실리사이드 층을 형성하기 위하여, 리세스 공정을 수행한다. 즉, 실리콘 질화물(silicon nitride; SiN)로 이루어진 스페이서(150, 160)의 상부가 제거되어 N형 및 P형 MOS의 게이트 전극(130, 140)의 상부가 부분적으로 노출된다(S 12). 상기 리세스 공정은 N형 및 P형 게이트 전극(130, 140)의 노출 부분을 증가시켜 그 상부에 형성되는 코발트 실리사이드 층의 면적을 확장시키기 위하여 수행된다.

<25> 도 1b를 참조하면, P형 MOS 트랜지스터 영역 상을 포토레지스트 패턴(120)으로 보호한 다음, N형 MOS 트랜지스터 영역에 비소(As) 이온을 주입하여 N형 게이트 전극(130)에 인접하는 소오스/드레인 영역(132)을 형성한다. 이 때, N형 게이트 전극(130)의 CD가 약 90nm 이하로 매우 작은 반면, 비소 이온은 상대적으로 큰 사이즈와 질량을 가지기 때



문에 비소 이온을 주입하면 N형 게이트 전극(130)의 상부는 도시된 바와 같이 돔(dome) 형태로 변형될 수 있다. 또한, 이후에 코발트 실리사이드 층을 형성하기 위해 고온의 열 처리를 수행할 경우, 코발트 실리사이드의 상변이시 인접한 스페이서(150)에 근접하게 되어 스페이서에 의한 응력을 발생시킬 수 있을 뿐만 아니라 코발트 실리사이드 층에 보이드(void)를 유발하여 저항 증가의 원인이 될 수 있다(S 13).

<26> 도 1c를 참조하면, P형 MOS 트랜지스터 영역 상에 형성된 포토레지스트 패턴(120)을 제거한 후, N형 MOS 트랜지스터 영역을 포토레지스트 패턴(121)으로 보호한다. 이어서, P형 MOS 트랜지스터 영역에 붕소(B) 또는 갈륨(Ga) 이온을 주입하여 P형 게이트 전극(140)에 인접하는 소오스/드레인 전극(142)을 형성한다(S 14).

<27> 도 1d를 참조하면, N형 MOS 트랜지스터 영역 상의 포토레지스트 패턴(121)을 제거한 후, 스퍼터링(sputtering) 공정을 통해 코발트(Co)를 N형 및 P형 MOS 트랜지스터 영역 상에 증착하여 코발트 층(170)을 형성한다. 계속하여, 코발트 실리사이드의 산화 방지를 위하여 티타늄 질화막(TiN)을 형성한다.

<28> 도 1e 및 도 2를 참조하면, 급속 열처리(Rapid Thermal Processing; RTP) 공정으로 코발트 층(170) 및 티타늄 질화막을 열처리하여, N형 및 P형 MOS 트랜지스터 영역 상에 코발트 실리사이드 층(180)을 형성한다(S 15).

<29> 이어서, 과산화수소(H_2O_2) 및 황산(H_2SO_4)을 포함하는 세정액을 사용하여 반응하지 않은 코발트(Co) 및 티타늄 질화물(TiN)을 제거한다.



【발명이 이루고자 하는 기술적 과제】

<30> 그러나, 전술한 종래의 코발트 실리사이드 층(180)의 형성 방법에 있어서, 스페이서의 리세스 공정 시에 일정 깊이, 예를 들면 약 300Å 정도 이상으로 과도하게 식각하게 되면, 소오스/드레인 영역의 실리콘 및 소자 분리막이 함께 소실되어 누설 전류(leakage current)가 증가하는 문제점이 발생한다. 이를 방지하기 위하여, 스페이서의 리세스 공정 시에 일정 깊이, 예를 들어 약 300Å 이하로 식각하게 되면, 안정된 코발트 층을 형성할 수는 있지만, 후속하는 코발트 층의 열처리시에 P형 MOS 게이트 전극 상에 형성된 실리사이드 층에 응집 현상(agglomeration)이 발생하여 게이트 저항의 열화를 일으킬 수 있다. 이는 p형 불순물로 도핑된 폴리실리콘이 n형 불순물로 도핑된 폴리실리콘에 비하여 열적 안정성이 열악하여 동일 조건에서라도 P형 게이트 구조물에서 코발트 실리사이드의 응집이 쉽게 일어날 수 있기 때문이다. 즉, 종래의 방법과 같이 리세스 공정에 의해 동일한 조건으로 코발트 실리사이드를 형성하는 공정은, 약 90nm급 이하의 나노급 디자인 를 이하의 초집적 반도체 장치에는 더 이상 적용되기 어렵다. 이를 극복하기 위하여, 니켈 실리사이드($NiSi_2$)를 이용하는 금속 실리사이드 층의 형성 방법이 개시되어 있지만, 이 방법 또한 열적 안정성에 더 큰 한계를 갖고 있다.

<31> 또한, 나노급의 N형 MOS 게이트 구조물에 비소 이온과 같은 불순물을 도핑시키면, N형 MOS 게이트 구조물의 상부가 변형이 되며, 이에 따라 전기적인 불량이 야기된다. 더욱이, P형 MOS 게이트 구조물에서 p형 불순물로 도핑된 폴리실리콘은 열적 안정성이 떨어지기 때문에 코발트 실리사이드 층의 형성을 위한 열처리 공정시에 코발트 실리사이드의 응집을 유발하는 단점이 있다.



<32> 따라서, 본 발명의 목적은 게이트 구조물의 변형을 최소화하는 동시에 열적 안정성을 개선할 수 있는 금속 실리사이드 층의 형성 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<33> 상술한 본 발명의 목적을 달성하기 위하여, 본 발명의 바람직한 일 실시예에 따르면, 반도체 기판의 제1 및 제2 영역에 각기 제1 및 제2 게이트 전극과 제1 및 제2 스페이서를 포함하는 제1 및 제2 게이트 구조물을 형성한 후, 제1 및 제2 스페이서의 상부를 서로 상이하게 제거하여, 제1 및 제2 게이트 전극을 서로 다른 높이로 노출시킨다. 이어서, 제1 및 제2 게이트 전극을 포함하는 기판의 제1 및 제2 영역 상에 금속을 증착하고 열처리함으로써, 제1 및 제2 게이트 전극의 노출된 부분 및 제1 및 제2 게이트 전극에 인접하는 제1 및 제2 소오스/드레인 영역 상에 금속 실리사이드 층을 형성한다. 그 결과 제1 게이트 전극의 금속 실리사이드 층 및 제2 게이트 전극의 금속 실리사이드 층은 서로 다른 두께로 형성된다.

<34> 여기서, 제1 게이트 구조물은 N형 MOS 트랜지스터의 게이트 구조물일 수 있으며, 제2 게이트 구조물은 P형 MOS 트랜지스터의 게이트 구조물일 수 있다.

<35> 나노급의 이하의 반도체 소자에 있어서, 매우 좁은 게이트 구조물에 비소(As)와 같은 불순물을 게이트 구조물을 훼손할 수 있기 때문에 스페이서의 상부를 부분적으로 제거하는 리세스 공정을 수행하기 전에 불순물을 도핑하여 N형 MOS 트랜지스터의 게이트 구조물을 형성하는 것이 바람직하다. 또한, 변형된 N형 MOS 트랜지스터의 게이트 구조물의 열처리시, 게이트 전극 및 스페이서 간의 상호 작용에 의해서 응력(stress)이 발생할 수 있지만, 본 발명에 따르면, 이러한 응력의 발생을 억제할 수 있으며, 그에 따른 보이드(void) 같은 결함(defect)의 발생을 방지할 수 있다. 더욱이, P형 불순물로 도핑된



폴리실리콘의 특성에 따라 P형 MOS 트랜지스터의 게이트 구조물에서 게이트 전극의 노출 부분을 상대적으로 증가하고 금속 실리사이드 층을 두껍게 형성함으로써 게이트 구조물의 열적 안정성을 향상시킬 수 있다.

<36> 본 발명에 따르면, 코발트, 니켈 등의 금속을 이용하여 반도체 기판 상에 금속 실리사이드를 형성하여 접촉 저항을 개선하는 것은 물론, 금속 실리사이드의 특성에 따라 약 100nm 이하의 임계 치수(CD)를 갖는 반도체 장치에서 양호한 금속 실리사이드 층이 형성될 수 있다.

<37> 상술한 본 발명의 목적을 달성하기 위하여, 본 발명에 다른 바람직한 실시예에 따르면, 기판 상의 제1 영역에 제1 게이트 전극 및 제1 스페이서를 포함하는 제1 게이트 구조물을 형성하고, 제2 영역에 제2 게이트 전극 및 제2 스페이서를 포함하는 제2 게이트 구조물을 형성한 후, 제2 스페이서를 부분적으로 제거하여, 제2 게이트 전극을 부분적으로 노출시킨다. 제1 스페이서 및 1차 식각된 제2 스페이서를 동시에 부분적으로 제거하여, 제1 및 제2 게이트 전극을 서로 상이한 높이로 노출시킨다. 즉, 제2 게이트 전극이 제1 게이트 전극보다 더 많이 노출된다. 제1 및 제2 게이트 전극을 포함하는 반도체 기판의 제1 및 제2 영역 상에 금속 실리사이드 층을 형성하여, 전기적으로 안정되고 열적으로 안정된 특성을 갖는 반도체 장치를 형성한다.

<38> 상기 제1 게이트 구조물에 인접하는 제1 영역에 제1 불순물 영역을 형성하고, 제2 게이트 구조물에 인접하는 제2 영역에 제2 불순물 영역을 형성할 수 있다. 제1 게이트 구조물에 리세스 공정을 수행하기 전에 제1 불순물 영역을 형성하여, 제1 불순물의 주입 시 발생할 수 있는 제1 게이트 구조물의 변형을 방지할 수 있다. 또한, 2회 이상의 리세스 공정을 통해 제2 게이트 전극의 노출 부분을 증가시켜 제2 게이트 전극에 형성되는

금속 실리사이드 층을 두껍게 할 수 있으며, 그 결과 제2 게이트 구조물의 열적 안정성을 개선할 수 있다.

<39> 한편, 상술한 본 발명의 목적을 달성하기 위하여 본 발명의 또 다른 바람직한 실시 예에 따르면, 반도체 기판 상의 제1 영역에 제1 게이트 전극 및 제1 스페이서를 포함하는 제1 게이트 구조물을 형성하고, 제2 영역에 제2 게이트 전극 및 제2 스페이서를 포함하는 제2 게이트 구조물을 형성한 후, 제1 및 제2 스페이서를 동시에 부분적으로 제거하여, 제1 게이트 전극 및 제2 게이트 전극의 상부를 노출시킨다. 제1 게이트 전극의 노출된 부분을 먼저 제거하고, 제1 및 제2 스페이서를 동시에 다시 부분적으로 제거하여 제1 및 제2 게이트 전극을 서로 다른 높이로 노출시킨다. 각기 상이한 높이로 노출된 제1 및 제2 게이트 전극과 제1 및 제2 소오스/드레인 영역에 코발트 실리사이드 층을 형성하여 전기적으로 우수하고 반도체 장치를 제조할 수 있다. 또한, 제2 게이트 전극의 금속 실리사이드 층은 제1 게이트 전극의 금속 실리사이드 층보다 두껍게 형성되어 열적으로 안정된 특성을 갖는다. 여기서, 상기 제1 게이트 구조물의 상부를 평坦하게 하고, 그 이후에 비소(As)나 인(P) 등의 원소를 도핑하여 제1 게이트 구조물의 변형 없이 제1 불순물 영역을 생성할 수 있다.

<40> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들에 따른 반도체 장치의 금속 실리사이드 층의 형성 방법을 상세하게 설명하지만 본 발명이 하기의 실시예들에 의해서 한정되거나 제한되는 것은 아니다.

<41> 실시예 1

<42> 도 3a 내지 도 3f는 본 발명의 제1 실시예에 따른 금속 실리사이드 층의 형성 방법을 설명하기 위한 단면도들을 도시한 것이며, 도 4는 본 실시예에 따른 금속 실리사이드 층의 형성 방법을 설명하기 위한 순서도를 도시한 것이다.

<43> 도 3a 및 도 4를 참조하면, 먼저, 반도체 기판(210) 상에 셀로우 트랜치 분리(STI) 공정으로 소자 분리막(215)을 형성하여 반도체 기판(210)에 제1 및 제2 MOS 트랜지스터가 형성될 활성 영역인 제1 및 제2 영역을 정의한다.

<44> 이어서, 반도체 기판(210)의 제1 영역에 통상의 적층 공정 및 식각 공정을 통하여 제1 게이트 산화막(212), 제2 게이트 전극(230), 제1 베퍼층(252) 및 제1 스페이서(250)를 포함하는 제1 게이트 구조물(220)을 형성하는 한편, 반도체 기판(210)의 제2 영역에 제2 게이트 산화막(222), 제2 게이트 전극(240), 제2 베퍼층(262) 및 제2 스페이서(260)를 포함하는 제2 게이트 구조물(225)을 형성한다(S 21).

<45> 상기 제1 및 제2 베퍼층(252, 262)과 제1 및 제2 스페이스(250, 260)의 상부는 부분적으로 식각되어 소정의 각도로 경사가 형성된다. 이 경우, 제1 및 제2 게이트 전극(230, 240)은 각기 폴리실리콘과 같은 도전성 물질로 이루어지며, 제1 및 제2 게이트 전극(230, 240)의 측벽에 형성되는 제1 및 제2 베퍼층(252, 262)은 각기 중온 산화물(MTO)과 같은 산화물로 구성된다. 또한, 제1 및 제2 베퍼층(252, 262)을 감싸며 형성되는 제1 및 제2 스페이서(250, 260)는 실리콘 질화물과 같은 질화물로 이루어진다.

<46> 본 실시예에 있어서, 바람직하게는 제1 게이트 구조물(220)은 N형 MOS 트랜지스터의 게이트 구조물에 해당되며, 제2 게이트 구조물(225)은 P형 MOS 트랜지스터의 게이트 구조물에 해당된다. 따라서, 반도체 기판(210)의 제1 영역에는 N형 MOS 트랜지스터의 제

1 게이트 구조물(220)이 형성되며, 제2 영역에는 P형 MOS 트랜지스터의 제2 게이트 구조물(225)이 형성된다.

<47> 도 3b 및 도 4를 참조하면, 사진 공정을 통하여 N형 MOS 트랜지스터가 형성되는 반도체 기판(210)의 제1 영역을 노출시키는 제1 포토레지스트 패턴(275)이 형성된다. 이 때, P형 MOS 트랜지스터가 형성되는 반도체 기판(210)의 제2 영역은 제1 포토레지스트 패턴(275)에 의하여 보호된다.

<48> 계속하여, 노출된 반도체 기판(210)의 제1 영역에 이온 주입(ion implantation) 공정으로 인(P) 또는 비소(As)와 같은 5족 원소의 이온을 주입하여 제1 게이트 구조물(220)에 인접하는 제1 불순물 영역인 제1 소오스/드레인 영역(232)을 형성한다(S 22). 이 때, 제1 게이트 구조물(220)은 리세스(recess) 공정이 수행되지 않은 상태로 제1 게이트 전극(230)의 상면만 노출된다. 본 실시예에 있어서, 제1 게이트 전극(230)에 대하여 리세스 형성 공정이 수행되지 않기 때문에, 제1 게이트 전극(230)이 변형되는 현상을 억제할 수 있으며, 리세스 공정 동안 발생하는 접합 누설 전류(junction leakage current)의 원인이 되는 소자 분리막(215)이 손실되는 것을 방지할 수 있다. 이어서, 반도체 기판(210)의 제1 영역을 노출시키는 제1 포토레지스트 패턴(275)을 제거한다.

<49> 도 3c 및 도 4를 참조하면, 사진 공정으로 반도체 기판(210)의 제2 영역을 노출시키고 제1 영역을 보호하는 제2 포토레지스트 패턴(285)을 형성한다.

<50> 이어서, 노출된 제2 영역에 위치하는 제2 게이트 구조물(225)에 대하여 건식 식각(dry etch) 공정을 수행하여 제2 게이트 구조물(225)의 제2 버퍼층(262) 및 제2 스페이서(260)의 상부를 약 100~500Å 정도의 깊이(h_1)로 제거한다. 제2 스페이서(260) 및

제2 버퍼층(262)의 상부가 제거되어, 1차 식각된 제2 스페이서(260a) 및 1차 식각된 제2 버퍼층(262a)이 형성되고 제2 게이트 전극(240)의 상부가 부분적으로 노출된다(S 23).

<51> 도 3d 및 도 4를 참조하면, 노출된 반도체 기판(210)의 제2 영역에 이온 주입 공정으로 갈륨(Ga)이나 인듐(In)과 같은 3족 원소의 이온을 주입하여 제2 게이트 구조물(225)에 인접하는 제2 불순물 영역인 제2 소오스/드레인 영역(242)을 형성한다(S 24). 그 다음, 제2 포토레지스트 패턴(285)을 제거한다.

<52> 도 3e 및 도 4를 참조하면, 제2 포토레지스트 패턴(285)을 제거한 다음, 제1 및 제2 게이트 구조물(220, 225)이 형성된 반도체 기판(210)에 대하여 인산을 사용하여 습식 식각(wet etching) 공정을 수행한다. 산화물과 실리콘의 식각 선택비를 이용한 습식 식각 공정으로 제1 스페이서(250) 및 1차 식각된 제2 스페이서(260a)가 동시에 약 100~300Å 정도(h_2)로 식각된다. 이에 따라, 1차 식각된 제1 스페이서(250a) 및 2차 식각된 제2 스페이서(269b)가 형성되고, 제1 게이트 전극(230)의 상부가 부분적으로 노출되며, 제2 게이트 전극(240)은 제1 게이트 전극(230)보다 더 두껍게 노출된다(S 25)($h_2 < h_1+h_2$).

<53> 이어서, 반도체 기판(210)의 전면에 스퍼터링 공정을 통하여 약 100Å 두께의 코발트층(270)을 증착한다. 이는 코발트 실리사이드(CoSi_2) 층을 형성하기 위한 것으로 코발트 외에 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta) 등의 금속이 사용될 수 있으며, 코발트의 경우 약 50~150Å 정도의 두께로 증착될 수 있다. 이때, 후속하여 형성되는 코발트 실리사이드 층의 산화를 방지하기 위하여 코발트층(270) 상에 티타늄 질화막(도시되지 않음)을 형성할 수 있다.

<54> 도 3f 및 도 4를 참조하면, 코발트층(270)이 형성된 반도체 기판(210)을 약 650~750°C 정도의 온도에서 급속 열처리 공정으로 열처리하여 약 500Å 두께의 코발트 실리사이드 층(280)을 형성한다. 본 실시예에서는, 약 100nm 이하로 형성된 게이트 전극(230, 240)에서 코발트 실리사이드 층(280n, 280p)이 약 500Å 정도의 두께로 형성되어 게이트 전극(230, 240)의 상부는 전체적으로 코발트 실리사이드 층(280n, 280p)으로 대체된다.

<55> 상기 코발트 실리사이드 층(280)을 형성한 후, 과산화수소(H_2O_2) 및 황산(H_2SO_4)을 포함하는 세정액을 사용하여 반도체 기판(210)으로부터 반응하지 않은 코발트(Co)를 제거한다(S 26). 따라서, 제1 및 제2 게이트 전극(230, 240)과 제1 및 제2 및 소오스/드레인 영역(232, 242) 상에 각기 코발트 실리사이드 층(280)이 형성된다. 특히, 제2 게이트 전극(240)의 금속 실리사이드 층(280p)은 제1 게이트 전극(230)의 금속 실리사이드 층(280n)보다 두껍게 형성된다($h_n < h_p$)(S 27). 이에 따라, 반도체 기판(210)의 제1 및 제2 영역에 각기 제1 및 제2 트랜지스터(290, 295)가 완성된다. 바람직하게는, 제1 및 제2 MOS 트랜지스터(290, 295)는 각기 N형 및 P형 MOS 트랜지스터에 해당된다.

<56> 본 실시예에 따르면, 제2 게이트 전극(240)이 제1 게이트 전극(230)보다 더 많이 노출되기 때문에, 제2 게이트 전극(240)에 형성되는 코발트 실리사이드 층(280p)의 두께가 제1 게이트 전극(230)에 형성되는 코발트 실리사이드 층(280n)의 두께보다 더 두껍게 형성된다($h_n < h_p$).

<57> 실시예 2

<58> 도 5a 내지 도 5g는 본 발명의 제2 실시예에 따른 금속 실리사이드 층의 형성 방법을 설명하기 위한 단면도들을 도시한 것이며, 도 6은 본 실시예에 따른 금속 실리사이드 층의 형성 방법을 설명하기 위한 순서도를 도시한 것이다.

<59> 도 5a 및 도 6을 참조하면, 반도체 기판(310) 상에 셀로우 트렌치 소자 분리 공정으로 소자 분리막(315)을 형성하여, 반도체 기판(310)에 제1 및 제2 MOS 트랜지스터가 형성되는 제1 및 제2 영역을 정의한다.

<60> 이어서, 통상적인 증착 공정 및 식각 공정을 이용하여 상기 제1 영역에 제1 게이트 구조물(320)을 형성하고, 제2 영역에 제2 게이트 구조물을 형성한다(S 31). 제1 게이트 구조물(320)은 제1 게이트 산화막(312), 제1 게이트 전극(330), 제1 버퍼층(352) 및 제1 스페이서(350)를 구비하며, 제2 게이트 구조물(325)은 제2 게이트 산화막(322), 제2 게이트 전극(320), 제2 버퍼층(362) 및 제2 스페이서(360)를 포함한다. 제1 및 제2 게이트 산화막(312, 322)은 실리콘 산화물로 구성되며, 제1 및 제2 게이트 전극(330, 340)은 불순물로 도핑된 폴리실리콘으로 이루어진다. 또한, 제1 및 제2 버퍼층(352, 362)은 중온 산화물(MTO)과 같은 산화물로 이루어지며, 제1 및 제2 스페이서(350, 360)는 질화물로 구성된다. 바람직하게는, 제1 게이트 구조물(320)은 N형 MOS 트랜지스터의 게이트 구조물에 해당하며, 제2 게이트 구조물(325)은 P형 MOS 트랜지스터의 게이트 구조물에 해당된다.

<61> 도 5b 및 도 6을 참조하면, 반도체 기판 상에 인산을 포함하는 용액을 사용하는 스트립 공정으로 제1 및 제2 스페이서(350, 360)를 동시에 약 10~300Å 정도(h_1) 식각하여 제1 및 제2 게이트 전극(330, 340)의 상부를 노출시킨다. 그 결과 제1 게이트 구조

물(320)에는 1차 식각된 제1 스페이서 및 제1 버퍼층(350a, 352a)이 형성되며, 제2 게이트 구조물(325)에는 1차 식각된 제2 스페이서 및 제2 버퍼층(360a, 362a)이 형성된다.

<62> 도 5c 및 도 6을 참조하면, 반도체 기판(310) 상에 제2 영역을 노출시키고 제1 영역을 보호하는 제1 포토레지스트 패턴(375)을 형성한다. 이어서, 노출된 반도체 기판(310)의 제2 영역에 갈륨이나 인듐 등의 3족 원소의 이온을 이온 주입 공정으로 주입하여 제2 게이트 구조물(325)에 인접하는 제2 불순물 영역인 제2 소오스/드레인 영역(342)을 형성한다.

<63> 도 5d 및 도 6을 참조하면, 제1 포토레지스트 패턴(375)을 애싱(ashing) 또는 스트립 공정으로 제거한다. 이 때, 제2 영역에는 제2 불순물 영역(342)이 형성되어 있으나, 제1 영역에는 불순물 영역이 형성되어 있지 않다. 따라서, P형으로 도핑된 물질에 소극적 반응성을 가지는 반면, 실리콘에 대해서는 적극적 반응성을 가지는 물질을 이용하여 제1 영역의 실리콘을 선택적으로 제거할 수 있다. 본 실시예에 있어서, 수산화암모늄, 과산화수소 및 물을 포함하는 SC1(Standard Clean 1) 용액을 사용하여 반도체 기판(310)을 세정함으로써, 제1 영역의 실리콘을 선택적으로 제거한다. 이 경우, 상기 SC1 용액은 약 1~3 중량부 정도의 수산화암모늄, 약 3~5 중량부 정도의 과산화수소, 그리고 약 15~25 중량부 장도의 물을 포함한다.

<64> 상기 SC1 용액은 순수한 실리콘에 대한 도핑된 실리콘의 선택비가 우수하여 제1 영역의 실리콘은 쉽게 식각할 수 있는 반면, 제2 영역의 제2 불순물 영역(342)은 잘 식각되지 않는 특성을 가진다. 상기 세정 용액을 사용하여 반도체 기판(310)을 세정하면, 제1 영역의 실리콘이 식각되어 제1 게이트 전극(330)의 노출된 부분이 제거된다(S 34). 이 때, 제1 게이트 구조물(320)에 인접하는 제1 소오스/드레인

영역에 대응하는 부분의 실리콘도 함께 식각된다. 그 결과, 후속하여 인이나 비소 등의 이온을 주입할 때 1차 식각된 제1 게이트 전극(330a)의 상면만 이온에 노출되고, 제1 게이트 구조물(320)의 변형을 억제할 수 있으며, 소자 분리막(315)의 손실에 따른 누설 전류의 발생을 억제할 수 있다.

<65> 계속하여, 반도체 기판(310) 상에 제2 영역을 보호하는 한편 제1 영역은 노출시키는 제2 포토레지스트 패턴(도시되지 않음)을 형성한 다음, 노출된 제1 영역에 인이나 비소 등의 5족 원소의 이온을 이온 주입 공정으로 주입하여 제1 게이트 구조물(320)에 인접하는 제1 불순물 영역인 제1 소오스/드레인 영역(332)을 형성한다. 이 때, 1차 식각된 제1 게이트 전극(330a)은 상면만 노출되고, 이온 주입시 1차 식각된 제1 게이트 전극(330a)의 변형을 억제할 수 있다. 이어서, 제2 포토레지스트 패턴을 제거한다.

<66> 도 5e 및 도 6을 참조하면, 제1 및 제2 게이트 구조물(320, 325)이 형성된 반도체 기판(310)에 대하여 인산을 포함하는 용액을 사용한 스트립 공정을 수행하여, 1차 식각된 제1 및 제2 스페이서(350a, 360a)의 상부를 동시에 약 200~500Å 정도의 두께(h_2)로 제거된다. 이에 따라, 1차 식각된 제1 게이트 전극(330a)의 상부가 노출되는 동시에 이미 노출된 제2 게이트 전극(340)은 추가적으로 노출되어 1차 식각된 제1 게이트 전극(330a)보다 더 많이 노출된다($h_2 < h_1+h_2$)(S 36).

<67> 도 5f를 참조하면, 스퍼터링 공정으로 제1 및 제2 게이트 구조물(320, 325)이 형성된 반도체 기판(310)의 전면에 약 100Å의 두께로 코발트층(370)이 증착된다.

다. 이는 코발트 실리사이드(CoSi_2) 층을 형성하기 위한 것으로, 코발트 외에 텉스텐(W), 티타늄(Ti) 및 탄탈륨(Ta) 등이 사용될 수 있으며, 코발트는 약 50~150Å 정도의 두께로 증착될 수 있다. 또한, 후에 형성되는 코발트 실리사이드 층의 산화를 방지하기 위해 코발트층(370) 상에 티타늄 질화물 막을 형성할 수 있다.

<68> 도 5g 및 도 6을 참조하면, 반도체 기판(310) 상에 형성된 코발트층(370)을 약 650~750°C 온도에서 급속 열처리 공정으로 열처리하여 약 500Å 두께의 코발트 실리사이드 층(380)을 형성한다. 본 실시예에서는, 약 100nm 이하로 형성된 게이트 전극(330, 340)에서 코발트 실리사이드 층(380n, 380p)이 약 500Å 정도의 두께로 형성되어 게이트 전극(330, 340)의 상부는 전체적으로 코발트 실리사이드 층(380n, 380p)으로 대체된다.

<69> 이어서, 과산화수소 및 황산을 포함하는 세정액을 사용하여 반응하지 않은 코발트를 제거하여, 제1 및 제2 게이트 전극(330, 340)과 제1 및 제2 소오스/드레인 영역(332, 342) 상에 각기 코발트 실리사이드 층(380)을 완성한다. 특히, 제2 게이트 전극(340)의 금속 실리사이드 층(380p)은 제1 게이트 전극(330)의 금속 실리사이드 층(380n)보다 두껍게 형성된다($h_n < h_p$)(S 37). 따라서, 반도체 기판(310)의 제1 영역에는 제1 트랜지스터(390)인 N형 MOS 트랜지스터가 형성되고, 제2 영역에는 제2 트랜지스터(395)인 P형 MOS 트랜지스터가 형성된다. 이 때, 제2 게이트 전극(340)의 노출된 부분이 제1 게이트 전극(330)의 노출된 부분보다 더 길기 때문에, 제2 게이트 전극(340) 상에 형성되는 코발트 실리사이드 층(380p)은 제1 게이트 전극(330) 상의 코발트 실리사이드 층(380n)보다 더 두껍게 형성된다($h_n < h_p$).

【발명의 효과】

<70> 본 발명에 따르면, 약 100nm 이하로 고집적화된 나노급 반도체 장치에 금속 실리사이드 층을 형성함에 있어서, 이온 주입 공정으로 인한 게이트 구조물의 변형을 방지할 수 있으므로 이로 인한 반도체 장치의 불량을 방지할 수 있다. 또한, 기판 상에 형성된 소자 분리막이 손실됨에 따라 야기되는 접합 누설 전류의 발생을 방지할 수 있다. 더욱 이, 게이트 전극 및 불순물 주입 영역 상에 충분한 두께로 금속 실리사이드 층을 형성할 수 있으므로 반도체 장치의 접촉 저항을 크게 감소시킬 수 있다.

<71> 상술한 바와 같이, 본 발명의 바람직한 실시예들을 참조하여 설명하였지만 해당 기술분야의 숙련된 당업자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해 할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

기판의 제1 영역에 제1 게이트 전극 및 제1 스페이서를 포함하는 제1 게이트 구조물을 형성하는 단계;

상기 기판의 제2 영역에 제2 게이트 전극 및 제2 스페이서를 포함하는 제2 게이트 구조물을 형성하는 단계;

상기 제1 및 제2 스페이서를 부분적으로 서로 다른 두께로 제거하는 단계; 및

상기 제1 및 제2 게이트 전극을 포함하는 상기 기판의 제1 및 제2 영역 상에 금속 층을 형성한 후, 상기 제1 게이트 전극 및 제2 게이트 전극 상에 각기 상이한 두께의 금속 실리사이드 층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 2】

제 1 항에 있어서, 상기 제1 게이트 구조물은 N형 MOS 트랜지스터의 게이트 구조물이며, 상기 제2 게이트 구조물은 P형 MOS 트랜지스터의 게이트 구조물인 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 3】

제 1 항에 있어서, 상기 제1 스페이서를 부분적으로 제거하기 전에 상기 제1 게이트 구조물에 인접하여 상기 제1 영역에 제1 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 4】

제 1 항에 있어서, 상기 제1 및 제2 스페이서를 부분적으로 서로 다른 두께로 제거하는 단계는,

상기 제2 스페이서를 부분적으로 제거하여 상기 제2 게이트 전극을 노출시키는 단계; 및

상기 제1 및 제2 스페이서를 동시에 부분적으로 제거하여 상기 제1 및 제2 게이트 전극을 서로 다른 높이로 노출시키는 단계를 더 포함하며,

상기 제2 게이트 전극에 형성된 금속 실리사이드 층이 상기 제1 게이트 전극에 형성된 금속 실리사이드 층보다 더 두꺼운 두께를 가지는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 5】

제 1 항에 있어서, 상기 제1 및 제2 스페이서를 부분적으로 서로 다른 두께로 제거하는 단계는,

상기 제1 및 제2 스페이서를 동시에 부분적으로 제거하여 상기 제1 및 제2 게이트 전극의 상부를 동시에 노출시키는 단계;

상기 제1 게이트 전극의 노출된 부분을 제거하는 단계; 및

상기 제1 및 제2 스페이서를 동시에 부분적으로 제거하여 상기 제1 및 제2 게이트 전극을 서로 다른 높이로 노출시키는 단계를 더 포함하며,

상기 제2 게이트 전극에 형성된 금속 실리사이드 층이 상기 제1 게이트 전극에 형성된 금속 실리사이드 층보다 더 두꺼운 두께를 가지는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 6】

제 4 항 또는 제 5 항에 있어서, 상기 제1 게이트 전극은 100~300Å의 높이로 노출되며, 상기 제2 게이트 전극은 100~1000Å의 높이로 노출되는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 7】

- (a) 기판의 제1 영역에 제1 게이트 전극 및 제1 스페이서를 포함하는 제1 게이트 구조물을 형성하는 단계;
- (b) 상기 기판의 제2 영역에 제2 게이트 전극 및 제2 스페이서를 포함하는 제2 게이트 구조물을 형성하는 단계;
- (c) 상기 제2 스페이서를 부분적으로 제거하여 상기 제2 게이트 전극을 부분적으로 노출시키는 단계;
- (d) 상기 제1 및 제2 스페이서를 동시에 부분적으로 제거하는 단계; 및
- (e) 상기 제1 및 제2 게이트 전극을 포함하는 상기 기판의 제1 및 제2 영역 상에 금속층을 형성한 후, 상기 제1 게이트 전극 보다 상기 제2 게이트 전극에 상에 더 두껍게 금속 실리사이드 층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 8】

제 7 항에 있어서, 상기 (c) 단계를 수행하기 전에, 상기 제1 게이트 구조물에 인접하여 상기 제1 영역에 제1 불순물 영역을 형성하는 단계 및 상기 (d) 단계를 수행하기 전에 상기 제2 게이트 구조물에 인접하는 상기 제2 영역에 제2 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법

【청구항 9】

제 8 항에 있어서, 상기 제1 불순물 영역을 형성하는 단계는, 상기 기판 상에 상기 제1 영역이 노출시키는 제1 포토레지스트 패턴을 형성하는 단계 및 상기 제1 포토레지스트 패턴을 마스크로 이용하여 상기 제1 영역에 제1 불순물을 주입하는 단계를 더 포함하며,

상기 제2 불순물 영역을 형성하는 단계는, 상기 기판 상에 상기 제2 영역을 노출시키는 제2 포토레지스트 패턴을 형성하는 단계 및 상기 제2 포토레지스트 패턴을 마스크로 이용하여 상기 제2 영역에 제2 불순물을 주입하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 10】

제 9 항에 있어서, 상기 제1 게이트 구조물은 N형 MOS 트랜지스터의 게이트 구조물이며, 상기 제2 게이트 구조물은 P형 MOS 트랜지스터의 게이트 구조물인 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 11】

제 7 항에 있어서, 상기 (c) 단계에서 상기 제2 스페이서는 100~500Å의 두께로 제거되며, 상기 (d) 단계에서 상기 제1 및 제2 스페이서는 각기 100~300Å 두께로 제거되는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 12】

- (a) 기판의 제1 영역에 제1 게이트 전극 및 제2 스페이서를 포함하는 제1 게이트 구조물을 형성하는 단계;
- (b) 상기 기판의 제2 영역에 제2 게이트 전극 및 제2 스페이서를 포함하는 제2 게이트 구조물을 형성하는 단계;
- (c) 상기 제1 및 제2 스페이서를 동시에 부분적으로 제거하여 상기 제1 및 제2 게이트 전극을 노출시키는 단계;
- (d) 상기 제1 게이트 전극의 노출된 부분을 제거하는 단계;
- (e) 상기 제1 및 제2 스페이서를 동시에 부분적으로 제거하는 단계; 및
- (f) 상기 제1 및 제2 게이트 전극을 포함하는 상기 기판의 제1 및 제2 영역 상에 금속층을 형성한 후, 상기 제1 게이트 전극 보다 상기 제2 게이트 전극 상에 더 두껍게 금속 실리사이드 층을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 13】

제 12 항에 있어서, 상기 (d) 단계를 수행하기 전에, 상기 제2 게이트 구조물에 인접하는 상기 제2 영역에 제2 불순물 영역을 형성하는 단계를 더 포함하며, 상기 제1 게

이트 전극의 노출된 부분은 상기 제2 불순물 영역에 대해 소극적 반응성을 갖는 세정 물질을 이용하여 제거되는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 14】

제 13 항에 있어서, 상기 (d) 단계를 수행한 후에, 상기 제1 게이트 구조물에 인접하는 상기 제1 영역에 제1 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 15】

제 14 항에 있어서, 상기 제1 게이트 구조물은 N형 MOS 트랜지스터의 게이트 구조물이며, 상기 제2 게이트 구조물은 P형 MOS 트랜지스터의 게이트 구조물인 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 16】

제 14 항에 있어서, 상기 세정 물질은 수산화암모늄(NH₄OH), 과산화수소(H₂O₂) 및 물(H₂O)을 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법

【청구항 17】

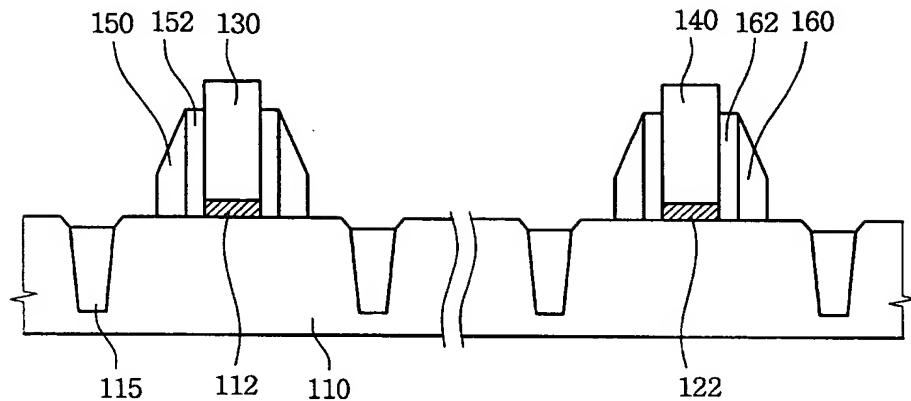
제 16 항에 있어서, 상기 세정 물질은 수산화암모늄 1~3 중량부, 과산화수소 3~5 중량부, 그리고 물 15~25 중량부를 포함하는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【청구항 18】

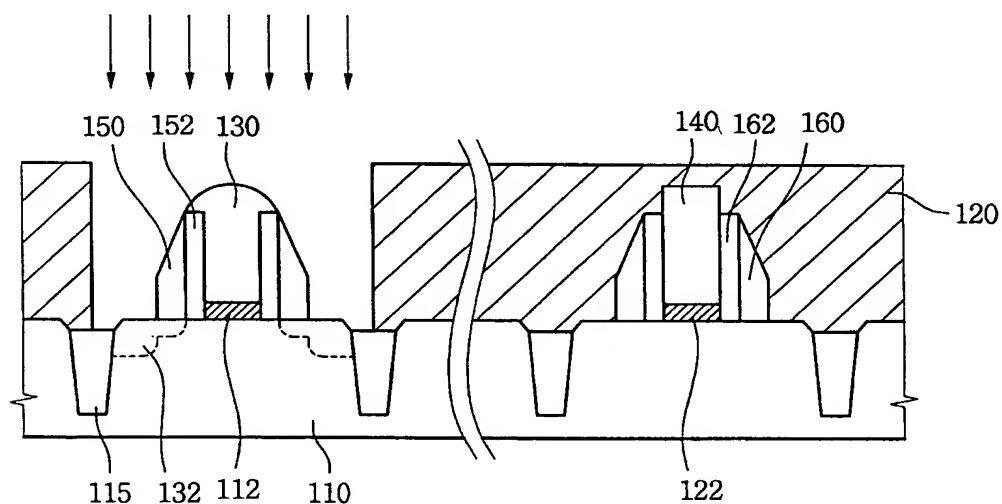
제 12 항에 있어서, 상기 (c) 단계에서, 상기 제1 및 제2 스페이서는 10~300Å의 두께로 제거되며, 상기 (e) 단계에서 상기 제1 및 제2 스페이서는 200~500Å의 두께로 제거되는 것을 특징으로 하는 반도체 장치의 금속 실리사이드 층의 형성 방법.

【도면】

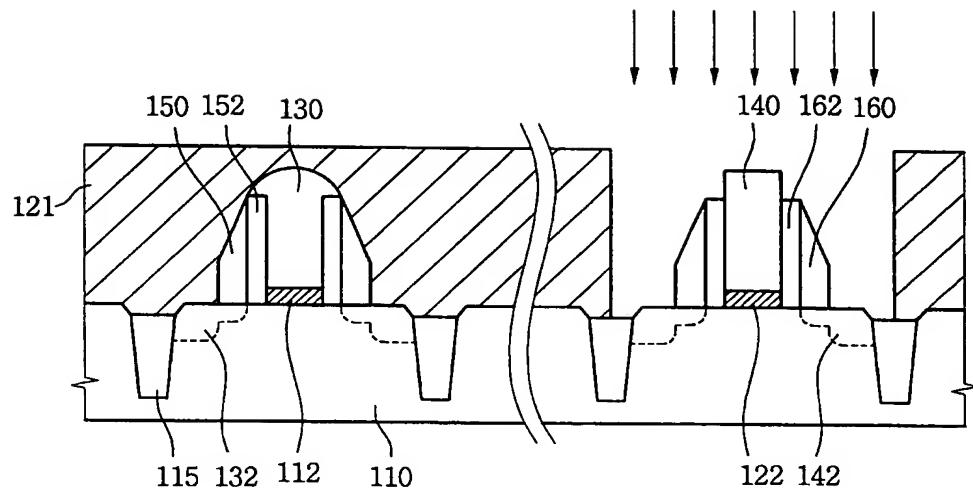
【도 1a】



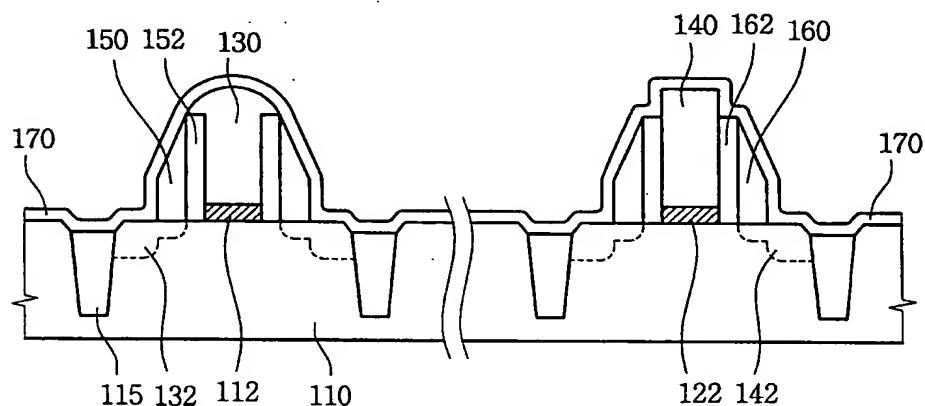
【도 1b】



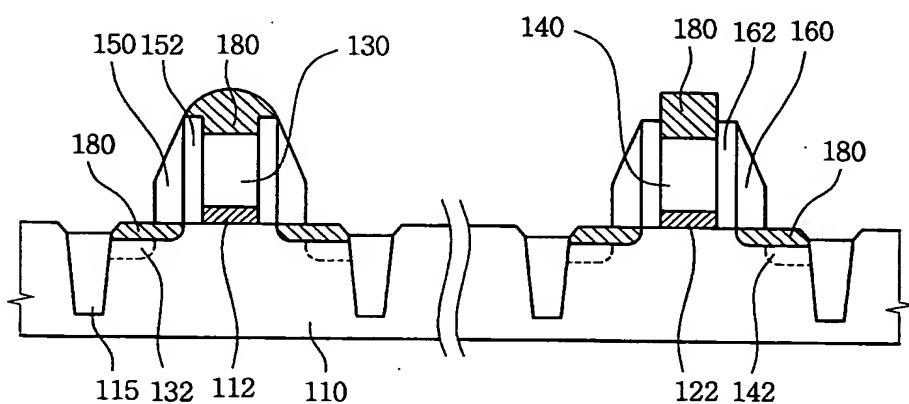
【도 1c】



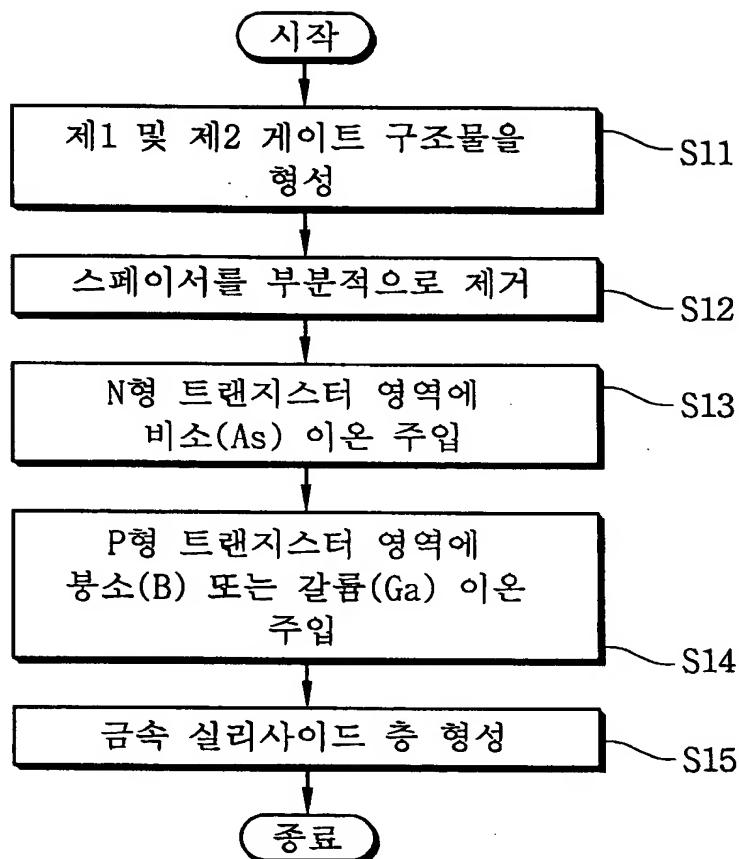
【도 1d】



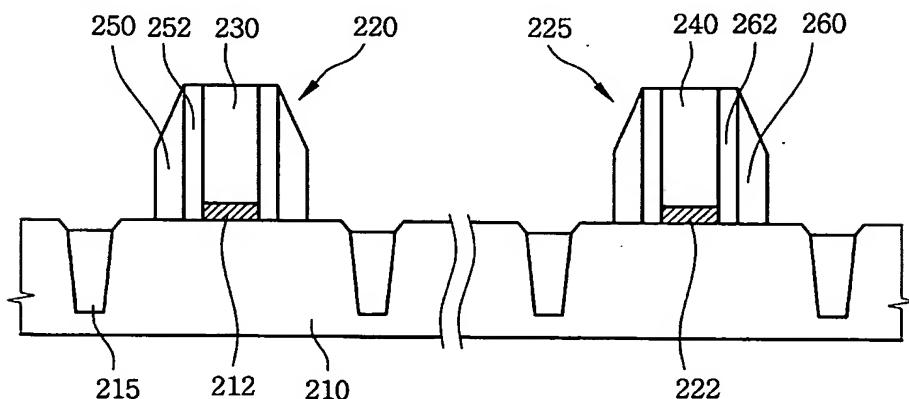
【도 1e】



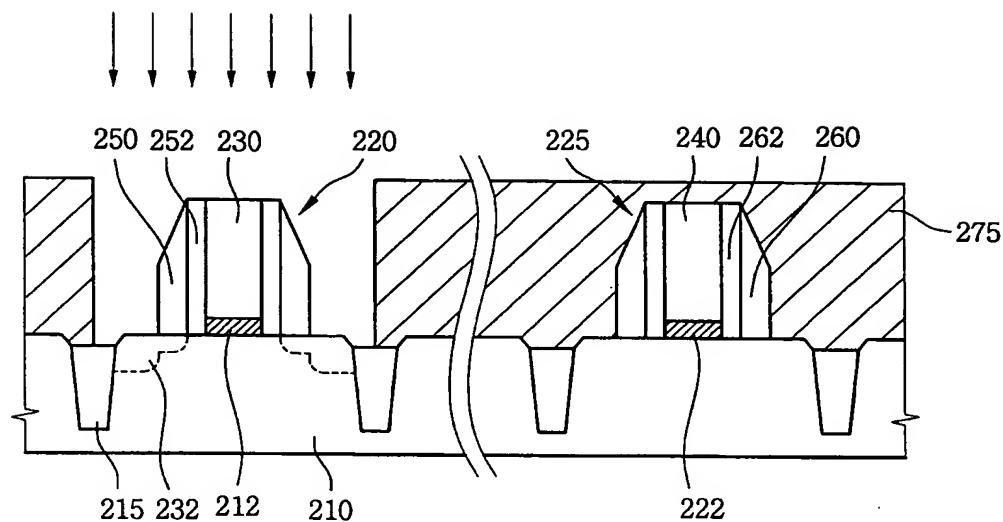
【도 2】



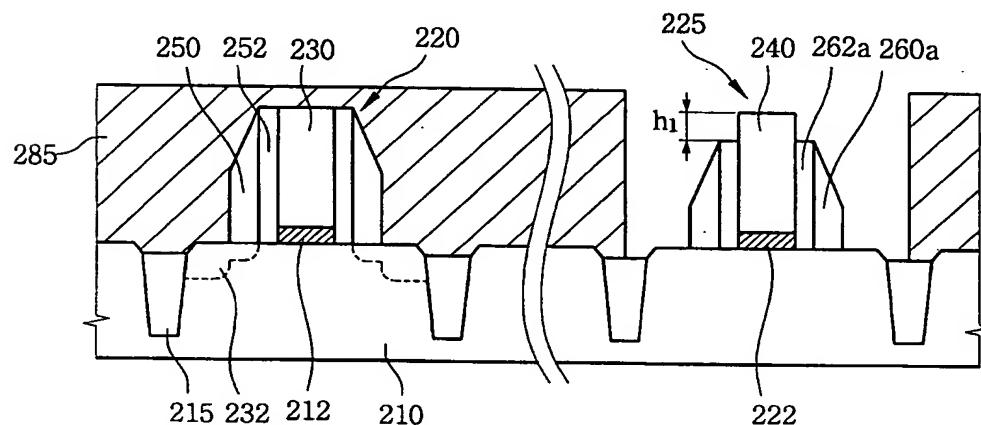
【도 3a】



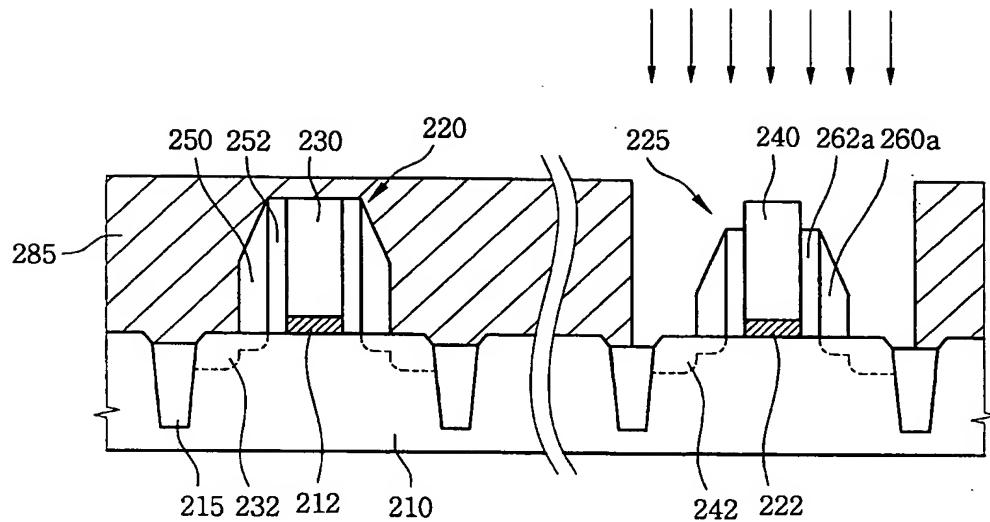
【도 3b】



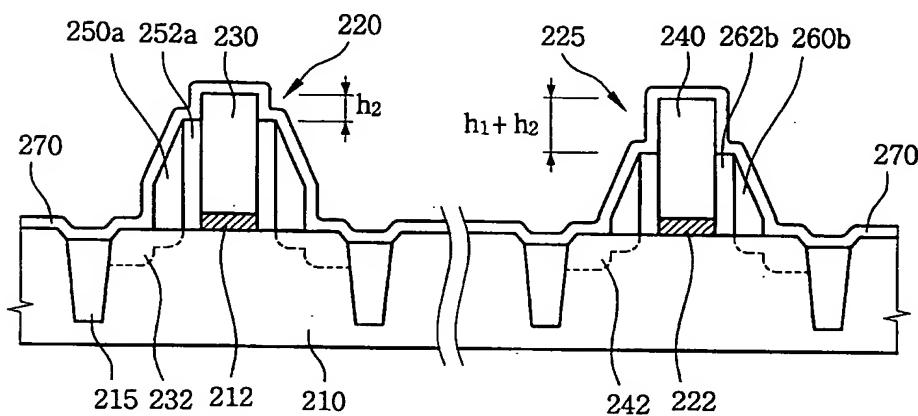
【도 3c】



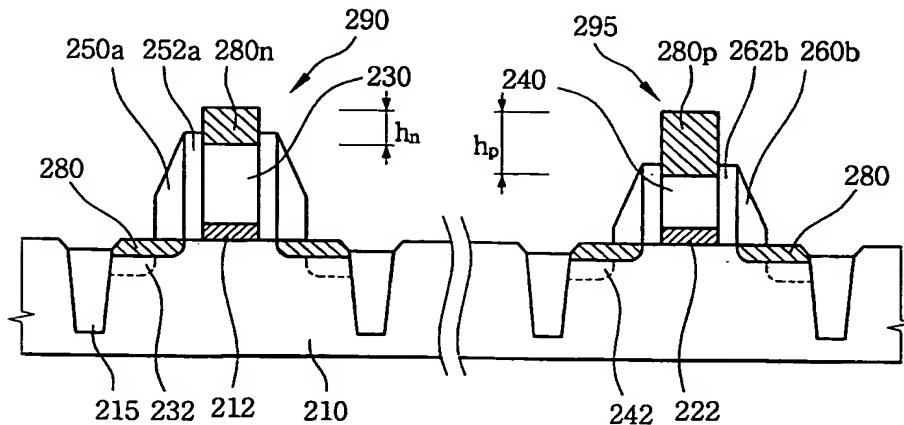
【도 3d】



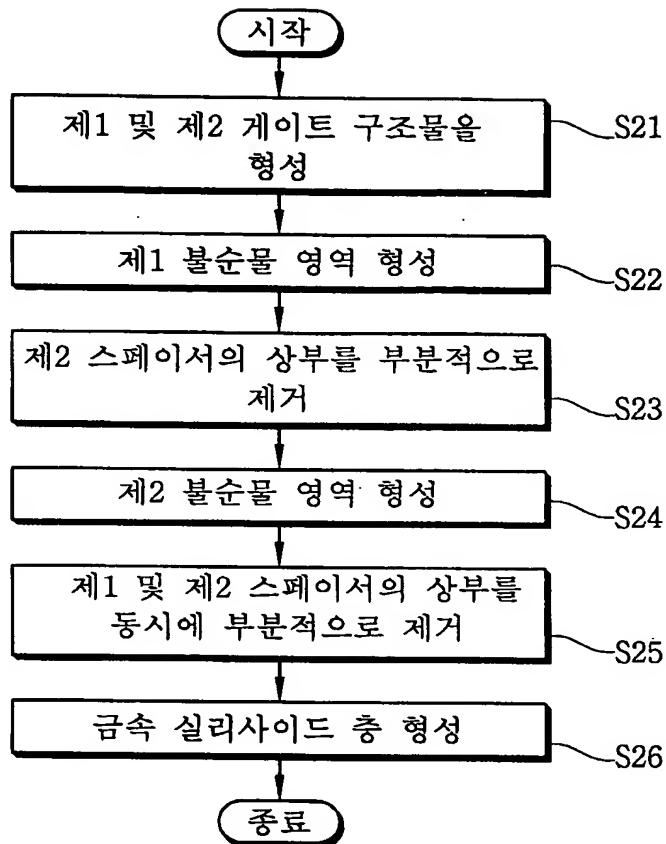
【도 3e】



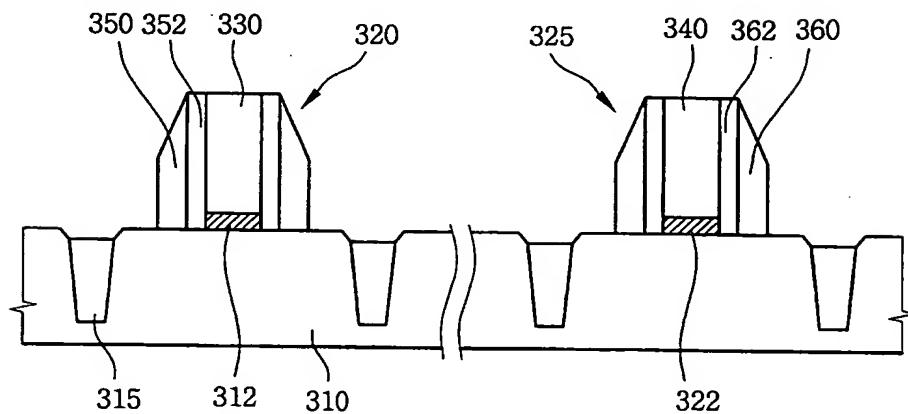
【도 3f】



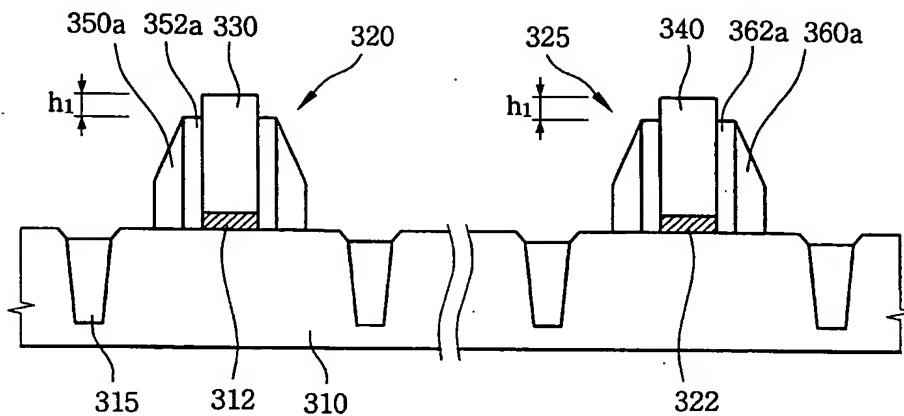
【도 4】



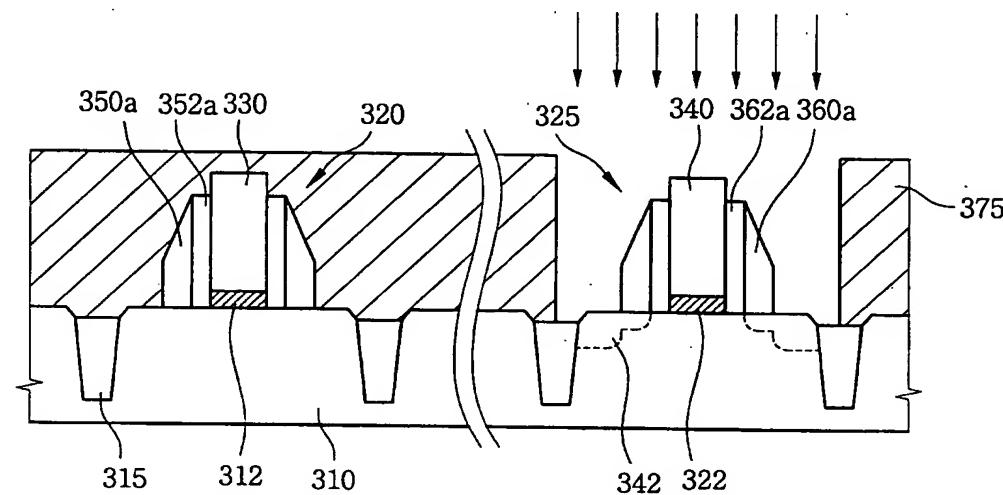
【도 5a】



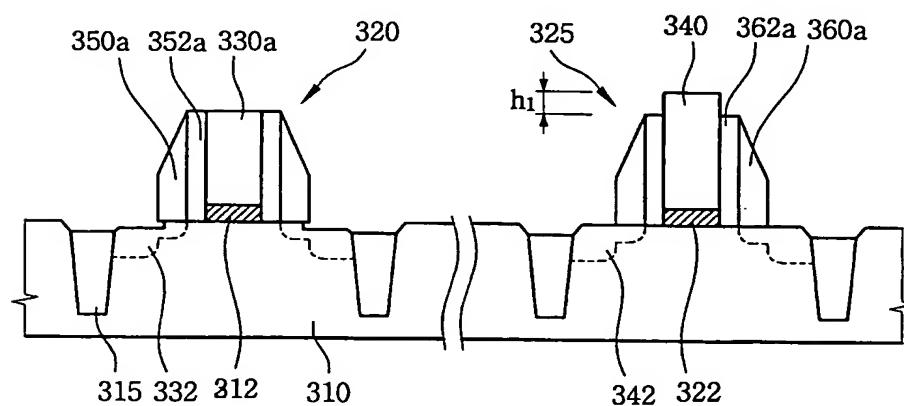
【도 5b】



【도 5c】



【도 5d】

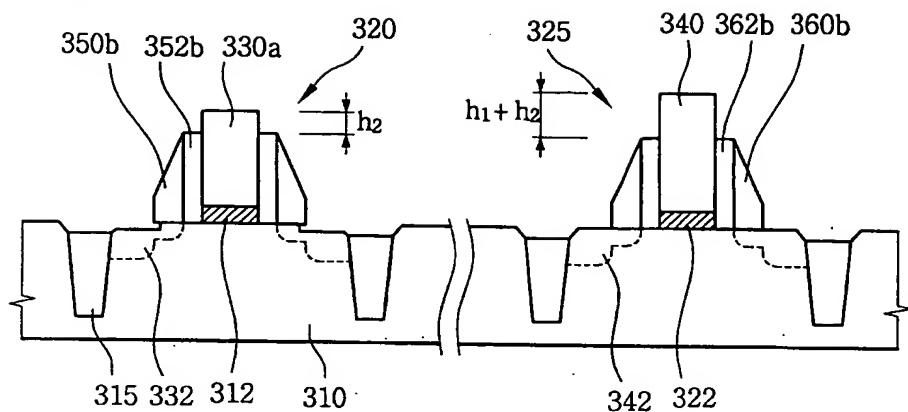




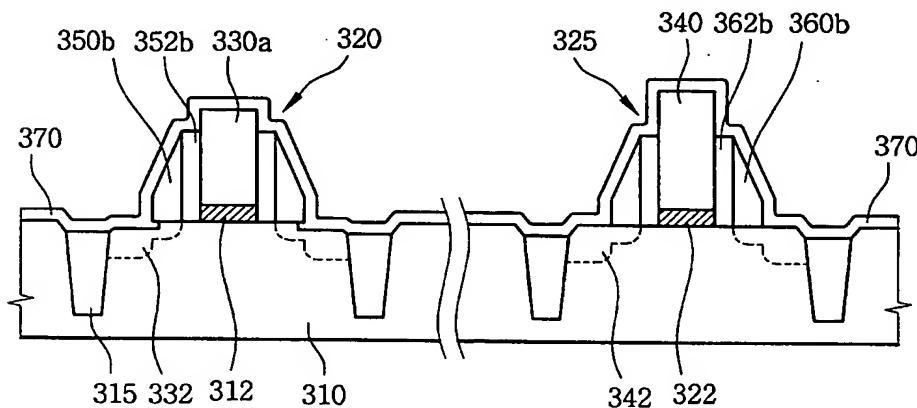
1020030014406

출력 일자: 2003/3/24

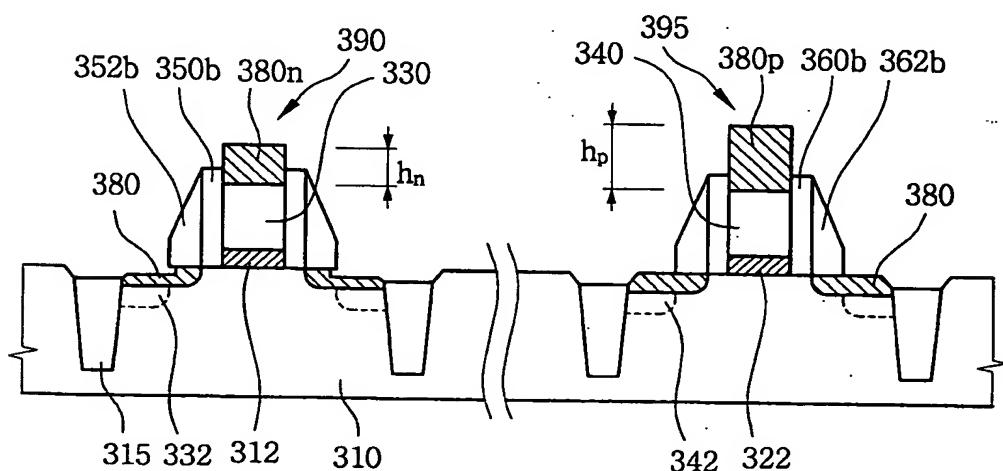
【도 5e】



【도 5f】



【도 5g】





1020030014406

출력 일자: 2003/3/24

【도 6】

